

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209154

(43)公開日 平成10年(1998)8月7日

(51)IntCl<sup>5</sup>

H 0 1 L 21/3205  
21/321

識別記号

F I

H 0 1 L 21/88  
21/92

T

6 0 2 L  
6 0 2 Z

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号 特願平9-8418

(22)出願日 平成9年(1997)1月21日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小里 貞二郎

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

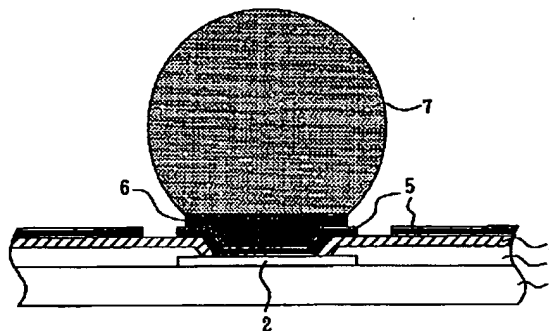
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 ポリイミド表面の耐電圧劣化が無く、信頼性の高い実装が可能となるパンプを備えた半導体装置を提供する。

【解決手段】 入出力端子にハンダパンプ7を備えた半導体装置において、チップに形成される素子保護用ポリイミド樹脂膜4と、このポリイミド樹脂膜4上に入出力端子周辺を除く全面に被覆される金属膜5を設ける。



- 1 : シリコンウエハ
- 2 : 入出力用のAlパッド
- 3 : パッシベーション膜
- 4 : ポリイミド樹脂膜
- 5 : 金属 (Cr、Ti等) 膜
- 6 : バリアメタル
- 7 : ハンダパンプ

## 【特許請求の範囲】

【請求項1】(a)チップに形成される素子保護用ポリイミド樹脂膜と、(b)該ポリイミド樹脂膜上に入出力端子周辺を除く全面に被覆される金属膜を具備することを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、前記金属膜にCr、Tiの単体膜もしくは複合膜を用いることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特に、バンパを備えた半導体装置の構造に関するものである。

## 【0002】

【従来の技術】従来のLSIは回路の保護のため、SiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の複合層が形成されている。さらに、トランスファーモールド等のパッケージ加工した際の物理的ダメージを緩和させるため、ポリイミド樹脂を塗布した構造となっている。また、近年は、LSIの入出力端子の増加に伴い、実装方法をベアチップにバンパを設け、フェイスダウンにより基板に搭載するフリップチップ実装方法が行われるようになってきた。

## 【0003】

【発明が解決しようとする課題】しかしながら、以上述べた従来のLSIの構造において、フリップチップ実装を代表とするベアチップ実装では、ポリイミド樹脂の吸水率が高く、長期的に耐電圧が劣化し、信頼性が悪くなるといった欠点があった。また、ポリイミド樹脂膜が無いチップでは、実装した後に樹脂を注入する際、エポキシ樹脂中のシリカ粒子によって表面に傷が付くといった問題があった。

【0004】一方、チップにバンパを形成する上では、ポリイミドは絶縁物なので表面が帯電しやすいため、バンパ製造工程を経ると、埃・異物・汚れ等がポリイミド表面に多数付着する問題点があり、チップの歩留まりが低下してしまうという問題があった。本発明は、上記問題点を除去し、ポリイミド表面の耐電圧劣化が無く、信頼性の高い実装が可能となる半導体装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明は、上記目的を達成するために、

〔1〕半導体装置において、チップに形成される素子保護用ポリイミド樹脂膜と、このポリイミド樹脂膜上に入出力端子周辺を除く全面に被覆される金属膜を具備するようにしたものである。

【0006】このように、ベアチップ実装で使用してもポリイミド樹脂膜上に金属被覆が形成されているので、ポリイミド樹脂膜表面の耐電圧劣化が無く、信頼性の高い実装が可能となる。

〔2〕上記〔1〕記載の半導体装置において、前記金属膜にCr、Tiの単体膜もしくは複合膜を用いるようにしたものである。

【0007】Cr、Ti等の金属は樹脂との密着強度がポリイミド表面に比べて強く、チップを固定した際、十分な強度を有する。また、金属被覆を行っているので、ポリイミド樹脂膜がむき出しになったものに比べて、埃・異物・汚れ等が減り、チップの歩留まりが向上する。

## 【0008】

10 【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は本発明の実施例を示すバンパを備えた半導体装置のパッド部の拡大断面図、図2はその半導体装置の断面図である。これらの図に示すように、シリコンウエハ1には入出力用のA1パッド2上にパッシベーション膜3が形成され、そのパッシベーション膜3にビアホールが形成されている。更に、この上にポリイミド樹脂膜4が形成され、更に、金属(Cr、Ti等)膜5がA1パッド2と接続されるように形成され、その金属膜5はハンダバンパ7の周辺をエッチングして、各パッド間を絶縁する。絶縁されたパッドにはバリアメタル6とハンダバンパ7が形成されている。

【0009】続いて、本発明の実施例を示すバンパを備えた半導体装置の製造方法について図3～図4を参照しながら説明する。図3は本発明の実施例を示すバンパを備えた半導体装置の製造工程断面図(その1)、図4は本発明の実施例を示すバンパを備えた半導体装置の製造工程断面図(その2)、図5は本発明の実施例を示すバンパを備えた半導体装置の製造工程断面図(その3)である。

【0010】(1)まず、図3(a)に示すように、ウエハ1上にA1パッド2を形成し、その上にパッシベーション膜3を形成する。そのパッシベーション膜3にはビアホールが形成されている。更に、この上にポリイミド樹脂膜4を形成する。そのポリイミド樹脂膜4にもビアホールが形成されており、その上に、スパッタ法でCr、Tiの単体膜もしくは複合膜からなるCr、Ti膜5を成膜する。

40 【0011】(2)次いで、図3(b)に示すように、レジスト11を塗布し、Cr、Ti膜5のエッチング用レジストパターンを形成する。

(3)次に、図3(c)に示すように、フォトリソ工程を経てCr、Ti膜5のパッド部の周りをエッチングする。

(4)次に、図3(d)に示すように、めっき電極膜12をスパッタ法で成膜する。

【0012】(5)次に、図4(a)に示すように、レジスト13を塗布し、フォトリソ工程を経て、めっき用パターンを形成する。

50 (6)次いで、図4(b)に示すように、バリアメタル

3

6、ハンダ7<sup>-</sup>を順次めっきする。

(7) 次いで、図4(c)に示すように、めっき電極膜12、レジスト13をエッチングする。

【0013】(8) 次いで、図5(a)に示すように、フラックス14を塗布し、加熱してハンダ7<sup>-</sup>を溶融する。

(9) 次に、フラックス14を洗浄し、図5(b)に示すように、ハンダバンパ7を形成し、スクライブラインに沿ってダイシングしてチップ毎に切り分ける。

【0014】上記したように、本発明の実施例によれば、ベアチップ実装で使用してもポリイミド樹脂膜上に金属被覆が形成されているので、ポリイミド表面の耐電圧劣化が無く、信頼性の高い実装が可能となる。更に、Cr、Ti等の金属は樹脂との密着強度がポリイミド表面に比べて強く、チップを固定した際、十分な強度を有する。また、金属被覆を行っているので、ポリイミド樹脂膜がむき出しになったものに比べて、埃・異物・汚れ等が減り、チップの歩留まりが向上する。

【0015】なお、上記実施例ではハンダバンパに関して説明したが、金バンパに関しても利用可能である。また、上記実施例ではフリップチップ実装に関して説明したが、ワイヤーボンディング・TAB等でも、ポリイミド樹脂の膜が形成されているものに関しては同様の効果が得られることは言うまでもない。また、上記実施例では、金属膜での被覆をしたが、CrO等の酸化物・Ni・Cr等の抵抗膜を用いることができる。

【0016】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0017】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

4

(1) 請求項1記載の発明によれば、ベアチップ実装で使用してもポリイミド樹脂膜上に金属被覆が形成されているので、ポリイミド表面の耐電圧劣化が無く、信頼性の高い実装が可能となる。

【0018】(2) 請求項2記載の発明によれば、Cr、Ti等の金属は、樹脂との密着強度がポリイミド表面に比べて強く、チップを固定した際、十分な強度を有する。また、金属被覆を行っているので、ポリイミド樹脂膜をむき出しにしたもの比べて埃・異物・汚れ等が減り、チップの歩留まりが向上する。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体装置のパッド部の拡大断面図である。

【図2】本発明の実施例を示す半導体装置の断面図である。

【図3】本発明の実施例を示す半導体装置の製造工程断面図(その1)である。

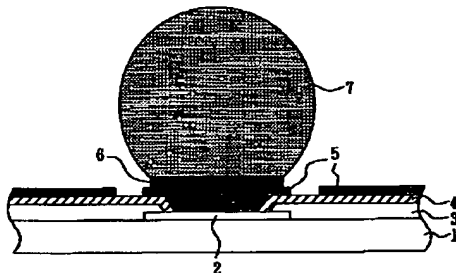
【図4】本発明の実施例を示す半導体装置の製造工程断面図(その2)である。

【図5】本発明の実施例を示す半導体装置の製造工程断面図(その3)である。

【符号の説明】

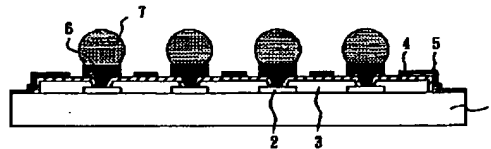
- 1 シリコンウエハ
- 2 入出力用のAlパッド
- 3 パッシベーション膜
- 4 ポリイミド樹脂膜
- 5 金属膜(Cr、Ti等)
- 6 バリアメタル
- 7 ハンダバンパ
- 7<sup>-</sup> ハンダ
- 11、13 レジスト
- 12 めっき電極膜
- 14 フラックス

【図1】

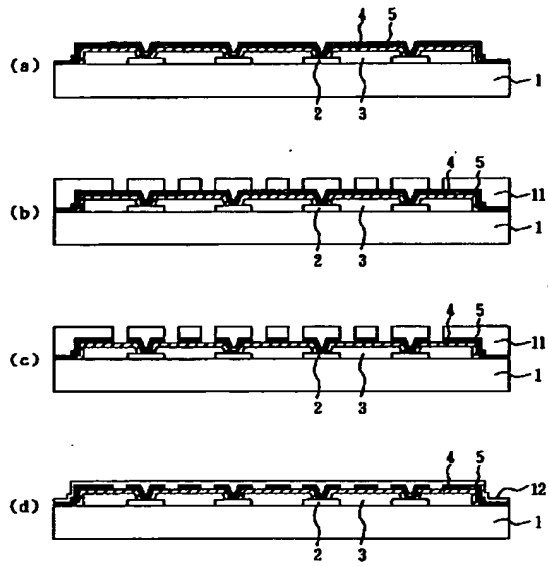


- 1: シリコンウエハ
- 2: 入出力用のAlパッド
- 3: パッシベーション膜
- 4: ポリイミド樹脂膜
- 5: 金属(Cr、Ti等)膜
- 6: バリアメタル
- 7: ハンダバンパ

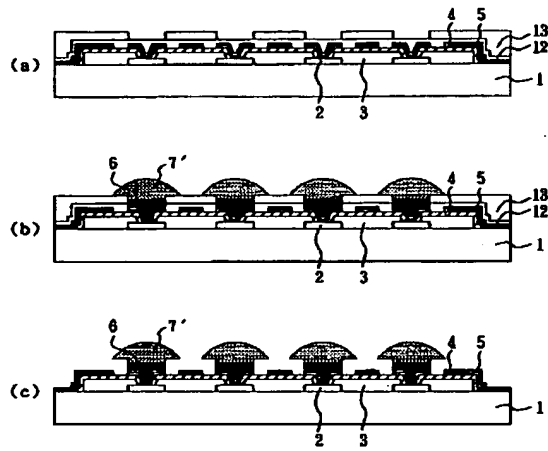
【図2】



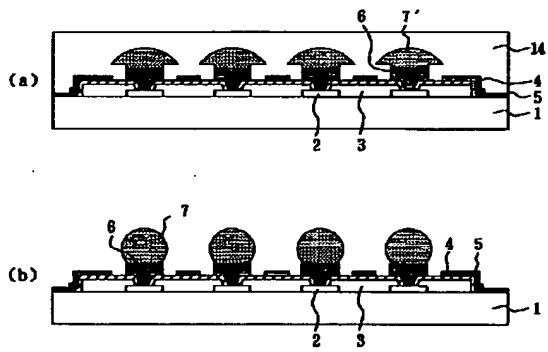
【図3】



【図4】



【図5】



PAT-NO: JP410209154A  
DOCUMENT-IDENTIFIER: JP 10209154 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: August 7, 1998

INVENTOR-INFORMATION:  
NAME  
ORI, TEIJIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP09008418  
APPL-DATE: January 21, 1997

INT-CL (IPC): H01L021/3205, H01L021/321

ABSTRACT:

PROBLEM TO BE SOLVED: To eliminate the breakdown voltage deterioration of a polyimide surface by applying a metal film on an entire surface excluding the surrounding of an input/output terminal on a polyimide resin film for protecting elements being formed on a chip.

SOLUTION: A passivation film 3 is formed on an Al pad 2 for input/output of a silicon wafer 1, and a via hole is formed at the passivation film 3. Then, a polyimide resin film 4 is formed on the via hole and further a metal film 5 is formed so that it can be connected to the pad 2. The metal film 5 etches the surrounding of a solder bump 7 to insulate pads. A barrier metal 6 and the solder dump 7 are formed at the insulated pad 2. Therefore, since a metal covering is formed on the resin film 4, even in the case of use by bare-chip

packaging, the deterioration in a breakdown voltage of a polyimide surface can be prevented, thus achieving a reliable packaging. Further dusts, foreign objects, and contamination decrease due to the metal covering, thus the yield of a chip is improved.

COPYRIGHT: (C)1998, JPO

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209154  
(43)Date of publication of application : 07.08.1998

---

(51)Int.Cl.

H01L 21/3205  
H01L 21/321

---

(21)Application number : 09-008418

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 21.01.1997

(72)Inventor : ORI TEIJIRO

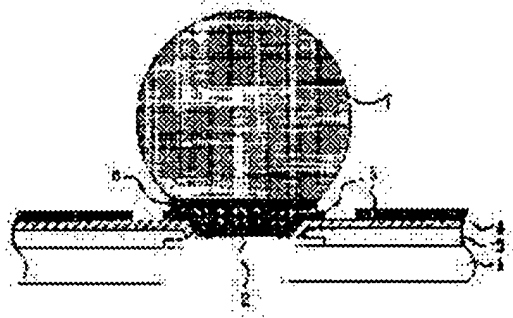
---

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the breakdown voltage deterioration of a polyimide surface by applying a metal film on an entire surface excluding the surrounding of an input/output terminal on a polyimide resin film for protecting elements being formed on a chip.

SOLUTION: A passivation film 3 is formed on an Al pad 2 for input/output of a silicon wafer 1, and a via hole is formed at the passivation film 3. Then, a polyimide resin film 4 is formed on the via hole and further a metal film 5 is formed so that it can be connected to the pad 2. The metal film 5 etches the surrounding of a solder bump 7 to insulate pads. A barrier metal 6 and the solder bump 7 are formed at the insulated pad 2. Therefore, since a metal covering is formed on the resin film 4, even in the case of use by bare-chip packaging, the deterioration in a breakdown voltage of a polyimide surface can be prevented, thus achieving a reliable packaging. Further dusts, foreign objects, and contamination decrease due to the metal covering, thus the yield of a chip is improved.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**